1. 深入调研并介绍IIC总线的结构、通信原理、特点（速度、同步性、双工性等）等。从理解的角度分析IIC总线的优缺点（相对SPI和CAN）

1. I²C（Inter-Integrated Circuit）总线是一种广泛应用于数字电子设备中的串行通信总线。它是由飞利浦（现在的NXP半导体）开发的，并在各种应用中得到了广泛的应用。下面我将深入介绍I²C总线的结构、通信原理、特点及其相对于SPI和CAN总线的优缺点。

### 结构和通信原理

#### 结构

I²C总线是一种双向、两线制的串行通信总线，由串行数据线（SDA）和串行时钟线（SCL）组成。这两根线可以连接多个设备，其中SDA用于传输数据，SCL用于传输时钟信号。

#### 通信原理

在I²C通信中，数据传输是基于时钟的，总线上的数据传输都在时钟的控制下进行。数据传输分为两种基本模式：主模式和从模式。在主模式下，主设备（通常是控制器或微处理器）负责生成时钟信号，并控制总线上的数据传输。而在从模式下，从设备接收主设备发出的时钟信号，并根据主设备的指令进行数据传输。

### 特点

#### 速度

I²C总线的速度通常较慢，取决于时钟速率。标准模式下的时钟速率为100 kbit/s，快速模式下可以达到400 kbit/s，高速模式更快，可以达到3.4 Mbit/s。因此，I²C总线在传输速率上较为灵活。

#### 同步性

I²C总线是同步传输的，数据传输完全依赖于时钟信号，这确保了数据的准确传输和同步性。

#### 双工性

I²C总线具有双向传输的能力，也就是说，SDA线既可以用于数据的接收也可以用于数据的发送。

### 优缺点

#### 优点

1. \*\*灵活性\*\*：I²C总线可以连接多个设备，且支持异步传输和同步传输，适用范围广。

2. \*\*简单\*\*：相对于其他串行总线，I²C总线的硬件要求较低，使用较为简单。

3. \*\*双向传输\*\*：具有双向传输的能力，可以实现主设备和从设备之间的双向通信。

#### 缺点

1. \*\*速度较慢\*\*：相对于其他串行总线如SPI，I²C总线的速度较慢，可能不适用于一些对速度要求较高的应用。

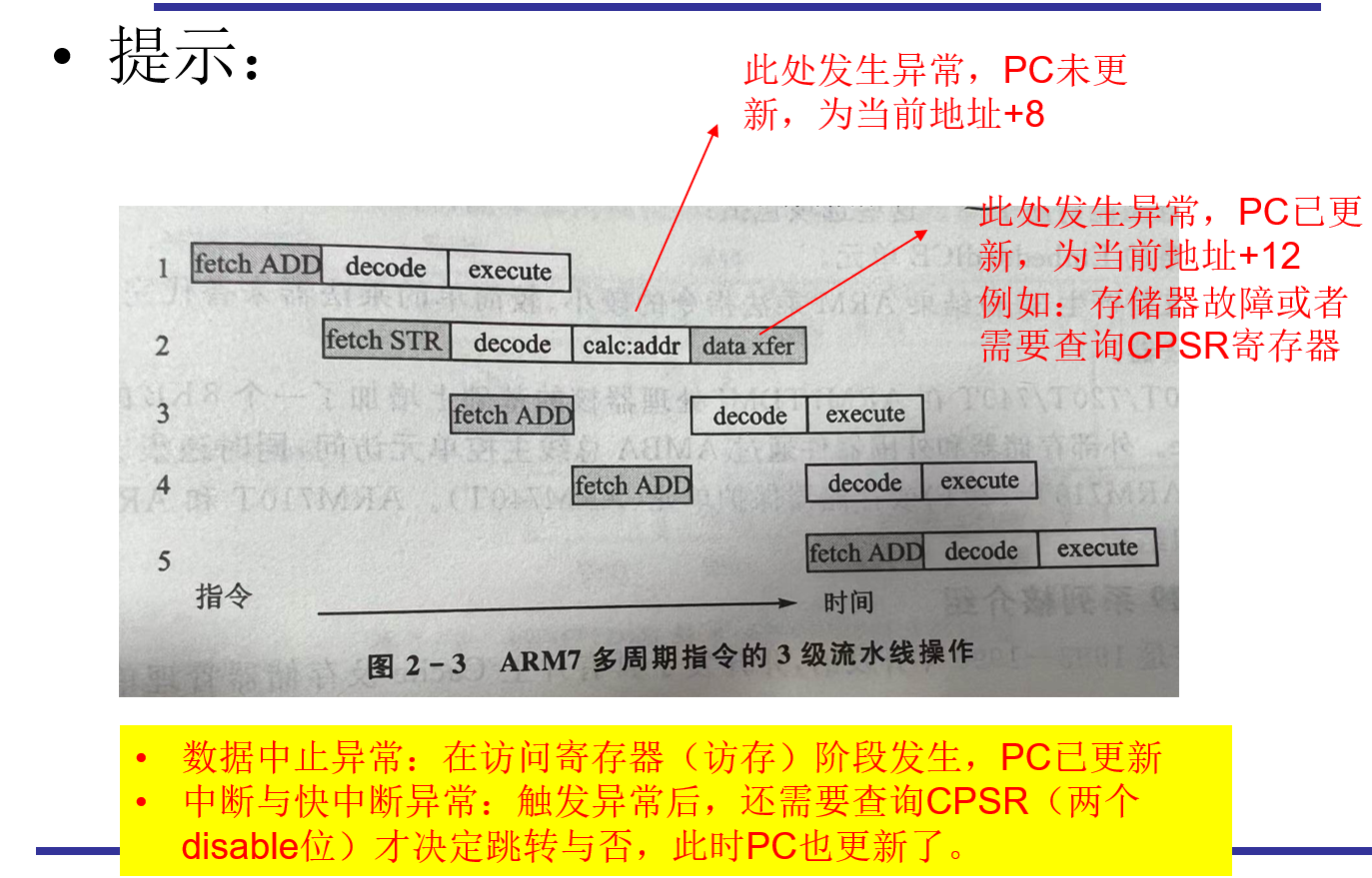
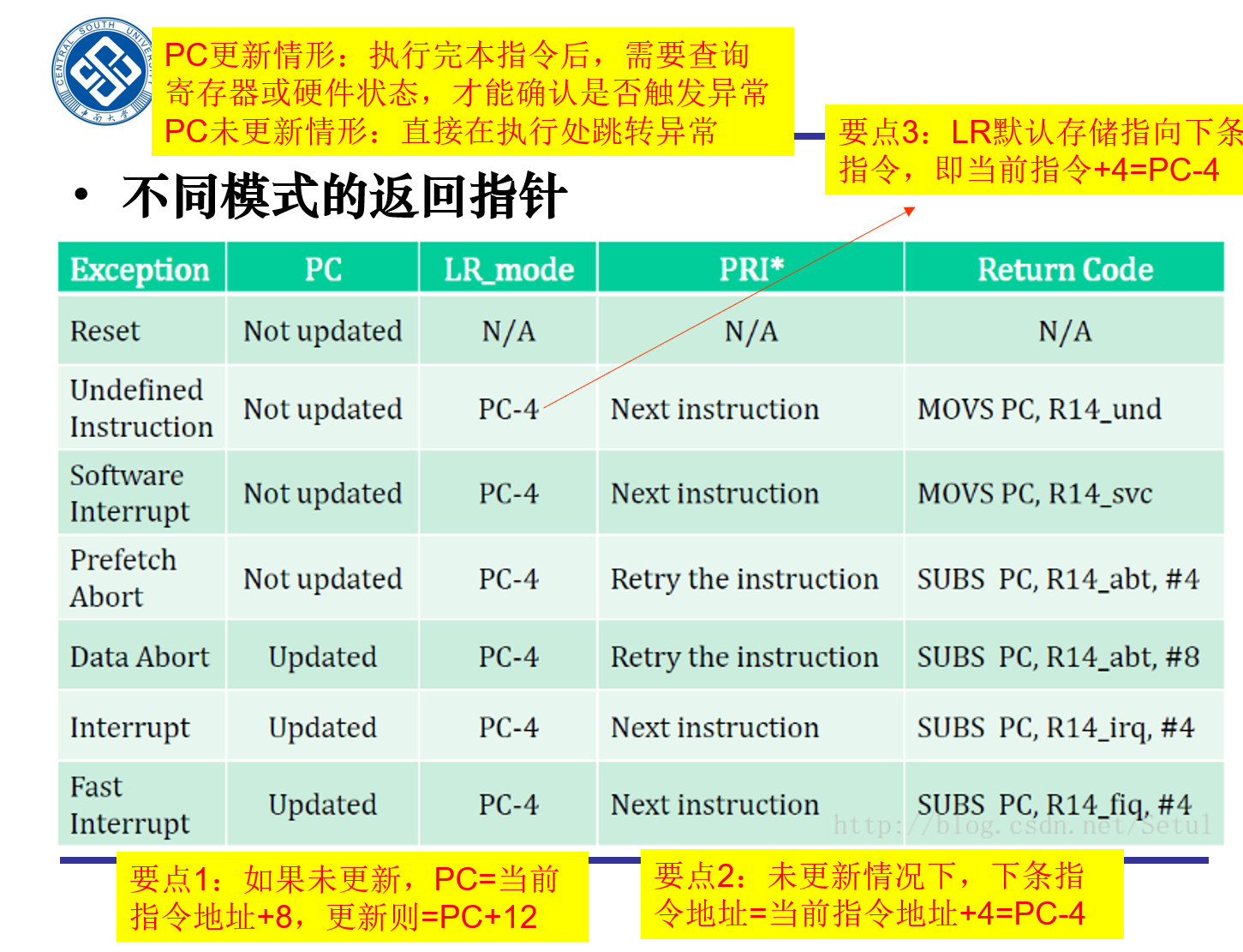
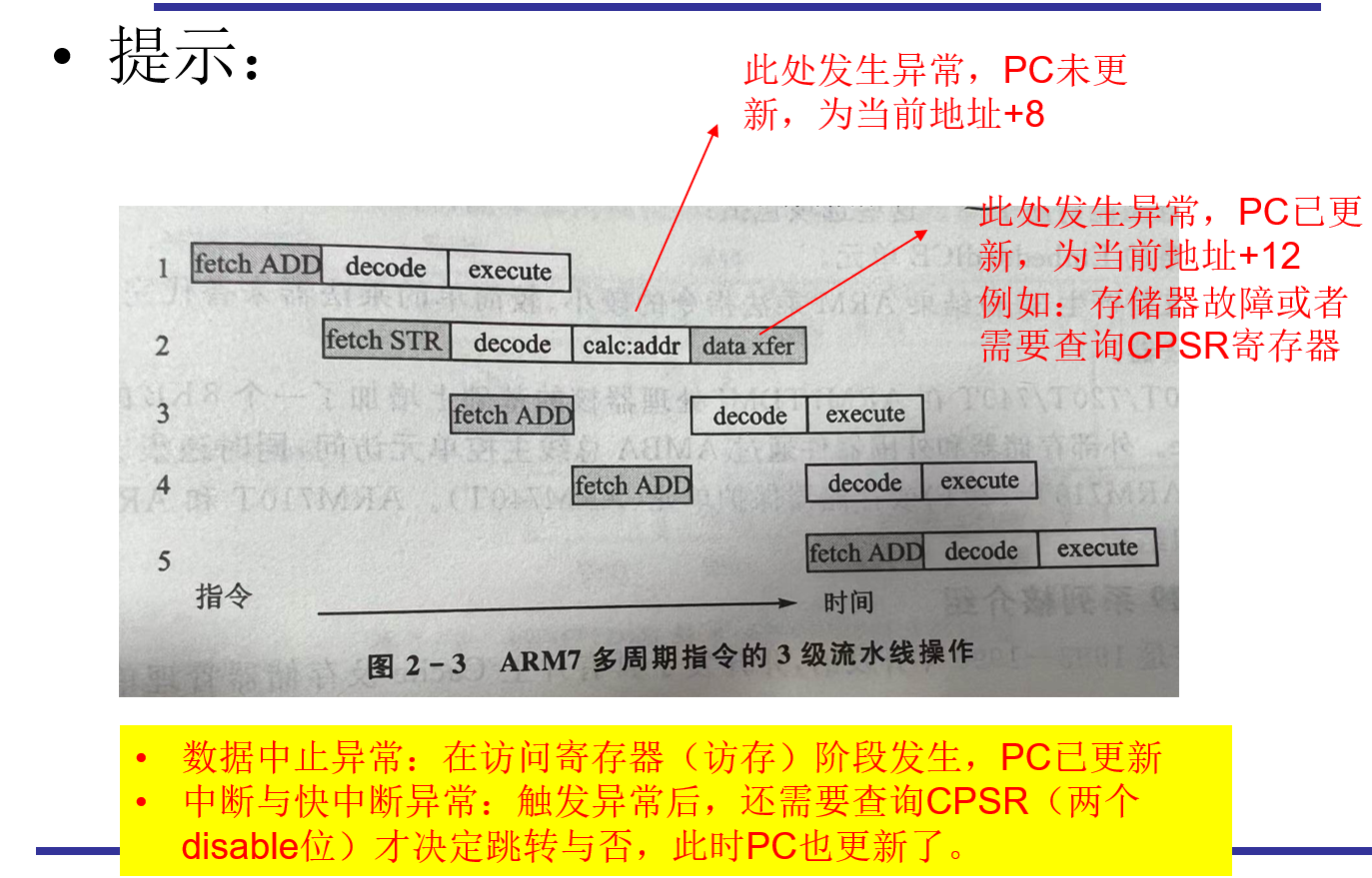
2. \*\*距离限制\*\*：I²C在传输距离上有一定限制，长线路会导致信号失真，限制了其在远距离通信上的应用。

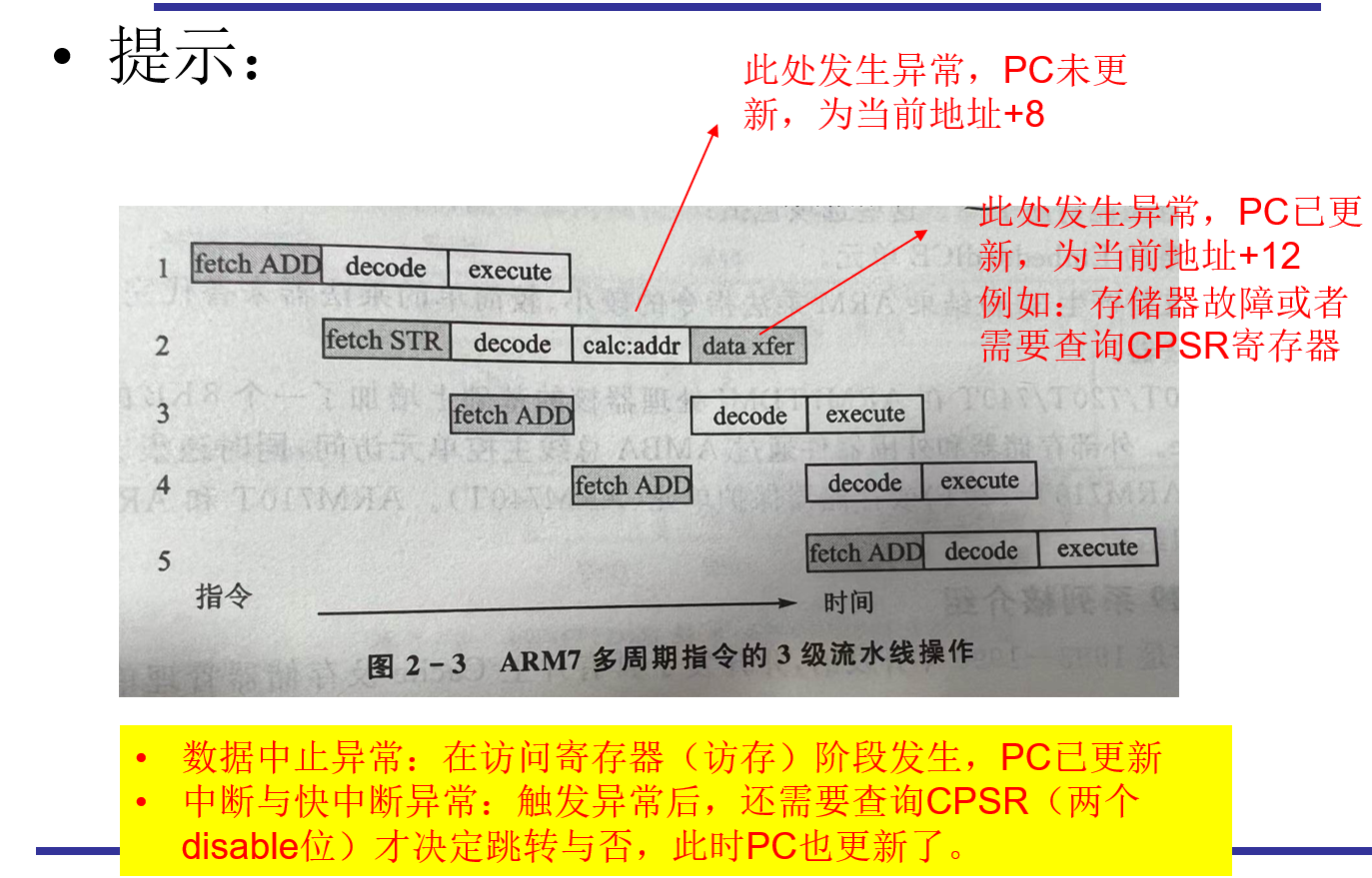
3. \*\*竞争冲突\*\*：在多主设备系统中，可能会发生总线竞争冲突，需要额外的机制来解决。

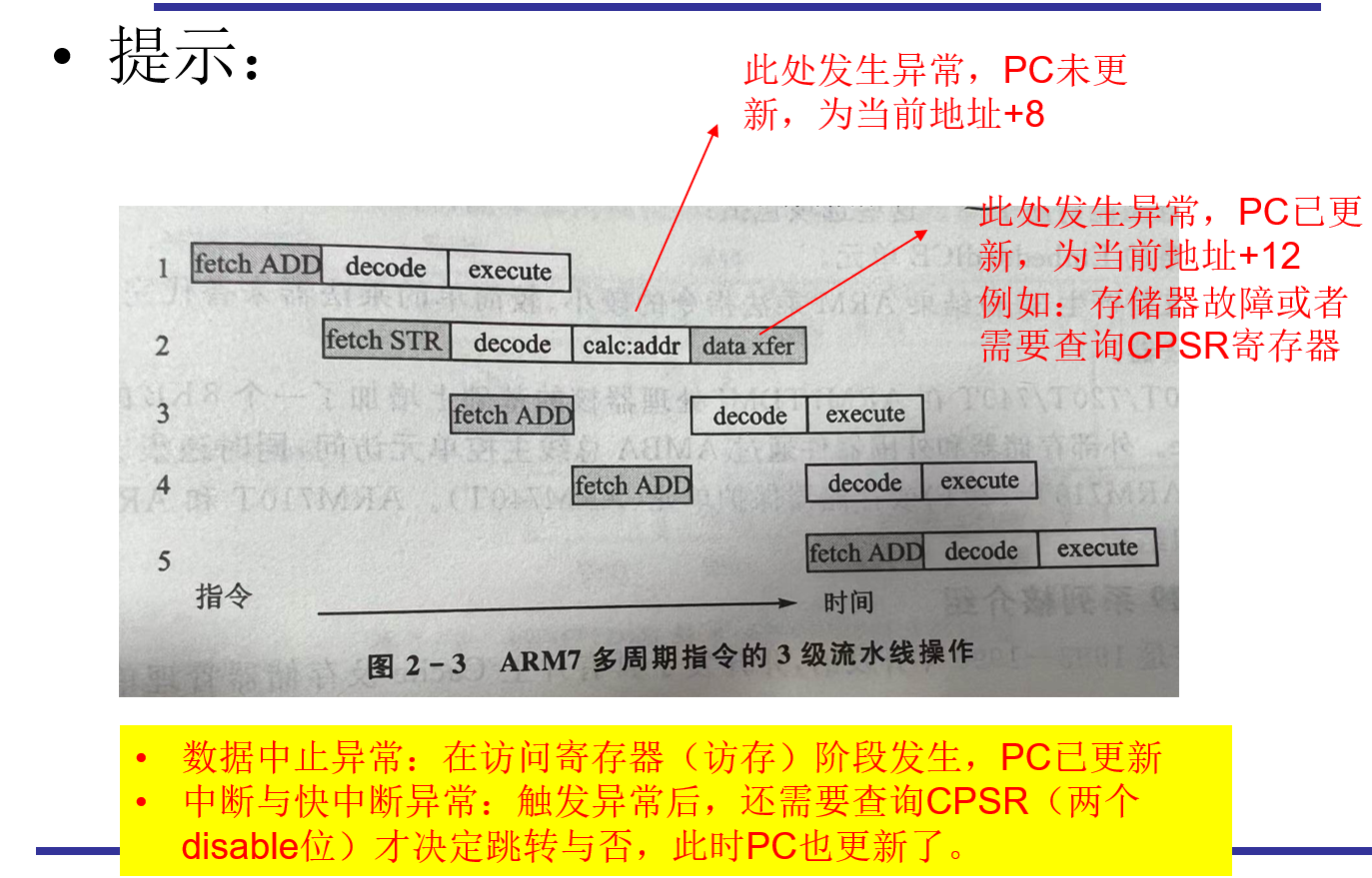
### 与SPI和CAN总线的比较

相对于SPI总线，I²C总线更适用于连接多个设备的情况，而SPI总线更适用于高速通信的需求。相对于CAN总线，I²C总线更适用于短距离通信和在系统内部的通信，而CAN总线更适用于长距离、高噪声环境下的通信。

 结合下面两幅图和课堂内容，设异常触发指令的地址为0xFFFF0100，计算一下各个异常模式时，PC、LR、PRI\*、Return Code的具体取值，写明分析过程。







2)

1.Reset：

–PC=0xFFFF0108：Reset异常不更新PC；

–LR=N/A，PRI\*=N/A，Return Code=N/A：Reset异常不需要返回

2.Undefined Instruction：

–PC=0xFFFF0108：未定义指令异常指遇到了一条没有定义的指令导致执行时无法执行，故PC未更新；

–LR=PC-4=0xFFFF0104；

–PRI\*=0xFFFF0104：中断结束后，执行下一条指令；

–Return Code=SUBS PC, R14\_und：中断结束后，执行的就是PC-4这条指令

3.Software Interrupt：

–PC=0xFFFF0108：软件中断异常是由当前执行的指令自身产生的，故PC未更新；

–LR=PC-4=0xFFFF0104；

–PRI\*=0xFFFF0104：中断结束后，执行下一条指令；

–Return Code=SUBS PC, R14\_svc：中断结束后，执行的就是PC-4这条指令

4.Prefetch Abort：若处理器预取指令的地址不存在，或该地址不允许当前指令访问，存储器会向处理器发出中止信号，但当预取的指令被执行时，才会产生指令预取中止异常。

–PC=0xFFFF0108：预取中止异常是由于指令自身引起的，故当产生中断时，程序计数器PC的值还未更新；

–LR=PC-4=0xFFFF0104；

–PRI\*=0xFFFF0100：因为当出现异常后，要重新再执行一次这条指令；

–Return Code=SUBS PC, R14\_abt, #4：下一条指令为LR-4

5.Data Abort：若处理器数据访问指令的地址不存在，或该地址不允许当前指令访问时，产生数据中止异常。

–PC=0xFFFF010C：数据中止异常是由ALU产生的，当产生中断时，PC的值更新；

–LR=PC-4=0xFFFF0108；

–PRI\*=0xFFFF0100：同指令预取中止异常，当出现异常后，要重新再执行一次这条指令；

–Return Code=SUBS PC, R14\_abt, #8：下一条指令为LR-8

6.Interrupt：当处理器的外部中断请求引脚有效，且CPSR中的I=0，产生IRQ异常。

–PC=0xFFFF010C：当产生中断时，PC的值更新；

–LR=PC-4=0xFFFF0108；

–PRI\*=0xFFFF0104：中断结束后，执行下一条指令；

–Return Code=SUBS PC, R14\_irq, #4：下一条指令为LR-4

7.Fast Interrupt：当处理器的外部中断请求引脚有效，且CPSR中的F=0，产生FIQ异常。

–PC=0xFFFF010C：同IRQ，当产生中断时，PC的值更新；

–LR=PC-4=0xFFFF0108；

–PRI\*=0xFFFF0104：中断结束后，执行下一条指令；

–Return Code=SUBS PC, R14\_fiq, #4：下一条指令为LR-4